

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

16115175

Basic Patent (No,Kind,Date): JP 2000138586 A2 20000516 <No. of Patents:
002>

RESISTANCE STRING TYPE D/A CONVERTER (English)

Patent Assignee: NIPPON ELECTRIC IC MICROCOMPUT

Author (Inventor): MAEHIRA TSUNEO

IPC: *H03M-001/76;

Derwent WPI Acc No: *G 00-395986; G 00-395986

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000138586	A2	20000516	JP 98313325	A	19981104 (BASIC)
JP 3088393	B2	20000918	JP 98313325	A	19981104

Priority Data (No,Kind,Date):

JP 98313325 A 19981104

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

06552857 **Image available**

RESISTANCE STRING TYPE D/A CONVERTER

PUB. NO.: 2000-138586 [JP 2000138586 A]

PUBLISHED: May 16, 2000 (20000516)

INVENTOR(s): MAEHIRA TSUNEO

APPLICANT(s): NEC IC MICROCOMPUT SYST LTD

APPL. NO.: 10-313325 [JP 98313325]

FILED: November 04, 1998 (19981104)

INTL CLASS: H03M-001/76

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the distortion of the output potential of a resistance string type D/A converter.

SOLUTION: The sum of the on-resistances of switches 10-13 which take out the output potential of a resistance string 18 and impedances when the taps T1-T4 of the string 18 are viewed from the switch side is fixed. When the sum is fixed, the time constant at which the analog output potential of a resistance string type D/A converter varies is fixed among the switches 10-13. Since the time constant at which the output analog potential is fixed regardless of the digital input value of the converter, the distortion of the analog output waveform is removed.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138586

(P 2 0 0 0 - 1 3 8 5 8 6 A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.CI.

H03M 1/76

識別記号

F I

H03M 1/76

テマコード (参考)

5J022

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平10-313325

(22) 出願日 平成10年11月4日 (1998.11.4)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番5
3

(72) 発明者 前平 恒生

神奈川県川崎市中原区小杉町一丁目403番5
3 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100096231

弁理士 稲垣 清

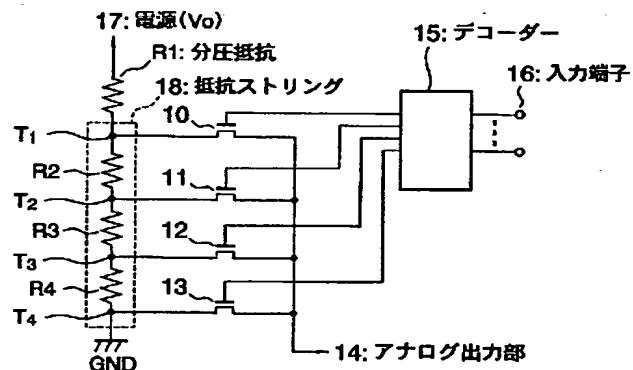
F ターム(参考) 5J022 AB05 BA01 BA05 CB02 CF07
CG01

(54) 【発明の名称】抵抗ストリング型D/A変換器

(57) 【要約】

【課題】 抵抗ストリング型D/A変換器の出力電位の歪みを小さくする。

【解決手段】 抵抗ストリング18の出力電位を取り出すスイッチ10～13のオン抵抗と、抵抗ストリング18のタップT1～T4をスイッチ側から見たときのインピダンスとの和を一定にする。これにより、アナログ出力電位が変化する時定数をスイッチ間で同じにする。出力アナログ電位の変化の時定数がデジタル入力値に依存せず一定になるので、アナログ出力波形の歪みが除かれる。



【特許請求の範囲】

【請求項1】 複数の抵抗を基準電源間に直列に接続してなる抵抗ストリングと、前記抵抗の各接続ノードから所定の電位を夫々取り出す複数のタップと、前記各タップに対応して配設され該各タップの出力電位を夫々出力端に取り出すスイッチと、デジタル入力をデコードして該デジタル入力に対応する前記スイッチを選択するデコーダとを備える抵抗ストリング型D/A変換器において、

前記スイッチのオン抵抗が相互に異なることを特徴とする抵抗ストリング型D/A変換器。

【請求項2】 各スイッチから対応するタップのインピダンスを見たときにインピダンスの低いタップに対応するスイッチのオン抵抗が高く設定される、請求項1に記載の抵抗ストリング型D/A変換器。

【請求項3】 前記各タップのインピダンスと、対応するスイッチのオン抵抗との和が実質的に一定である、請求項2に記載の抵抗ストリング型D/A変換器。

【請求項4】 前記スイッチがMOSFETによって構成され、該MOSFETのゲート幅(W)とゲート長

(L)の比によって前記スイッチのオン抵抗が設定される、請求項1～3の何れかに記載の抵抗ストリング型D/A変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、抵抗ストリング型D/A変換器に関し、更に詳しくは、高速変換時の歪み特性を改良した抵抗ストリング型D/A変換器に関する。

【0002】

【従来の技術】抵抗ストリング型D/A変換器(DAC)では、アナログ出力の精度が重要な特性であり、特に高速変換時の出力電圧波形の歪みをいかに小さくするかが大きな課題である。

【0003】図1を参照し、一般的な抵抗ストリング型DACについて、2ビットのデジタル入力DACを例として説明する。DACは、分圧抵抗R1、複数の直列接続の抵抗R2～R4、及び、各抵抗R2～R4の接続ノードから電位を取り出すタップT1～T4を有し、抵抗R1と直列に接続され電源間に挿入される抵抗ストリング18と、各タップT1～T4とアナログ出力端子14とを夫々接続する複数のスイッチングトランジスタ(以下、単にスイッチと呼ぶ)10～13と、デジタル入力をデコードしてデジタル入力値に対応する何れかのスイッチ10～13をオンとするデコーダ15とを有する。

【0004】上記DACでは、入力されるデジタル入力に従ってスイッチ10～13の何れかが選択され、抵抗ストリング18のタップ電位がアナログ出力端14に出力されることで、デジタル入力端16に入力されるデジタル入力値に対応したアナログ出力が得られる。スイッ

チングトランジスタ10～13は、一般的には、Nch-MOSFETによって構成される。

【0005】ここで、従来のDACにおいて、例えばスイッチ11が選択される場合とスイッチ13が選択される場合とを比較する。スイッチ11によって選択されるタップT2をアナログ出力端14(スイッチ11)側から見た時のインピダンスR_{T1}は、

$$R_{T1} = (R1 + R2) \times (R3 + R4) / (R1 + R2 + R3 + R4)$$

であり、これに対して、スイッチ13によって選択されるタップT4を同様にアナログ出力端から見たときのインピダンスR_{T3}は、ほぼ0である。

【0006】抵抗ストリング型DACの信号伝達関数における時定数は、デジタル出力端14側から見た各タップT1～T4のインピーダンスR_{T1}～R_{T4}と、信号線に寄生する寄生容量及び負荷容量の和の積と考えられることから、上記T2とT4のタップ間におけるインピーダンスの差は、DACの出力波形の歪みにつながる。つまり、高速作動のDACでは、このインピーダンスの差は、出力アナログ信号の精度を低下させるもとなる。

【0007】

【発明が解決しようとする課題】本発明は、上記に鑑み、抵抗ストリング型DACを改良し、高速作動においても信号精度の低下が生じがたい抵抗ストリング型DACを提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の抵抗ストリング型D/A変換器は、複数の抵抗を基準電源間に直列に接続してなる抵抗ストリングと、前記抵抗の各接続ノードから所定の電位を夫々取り

出す複数のタップと、前記各タップの出力電位を夫々出力端に取り出すスイッチと、デジタル入力をデコードして該デジタル入力に対応するスイッチを選択するデコーダとを備える抵抗ストリング型D/A変換器において、前記スイッチのオン抵抗が相互に異なることを特徴とする。

【0009】本発明の抵抗ストリング型D/A変換器では、スイッチのオン抵抗を対応するタップ毎に異なるものとし、タップ毎のインピーダンスの差を小さくできるので、タップ毎の時定数の差が小さくなり、出力電圧波形の歪みを小さくできる。

【0010】一般的には、各スイッチ側から対応するタップが有するインピーダンスを見たときに、低いインピーダンスを有するタップに対応するスイッチのオン抵抗を高く設定する。好ましくは、前記タップが有するインピーダンスと、対応するスイッチのオン抵抗との和を、各タップ毎に実質的に一定とする。これにより、各タップ毎の時定数を一定にすことができ、良好な出力電圧波形が得られる。

【0011】前記スイッチをMOSFETによって構成することが好ましく、この場合、MOSFETのゲート

幅(W)とゲート長(L)の比(W/L)によって前記オン抵抗を設定することが好ましい。この場合、所望のオン抵抗が容易に得られる。スイッチは、例えばNch-MOSFETで構成し、或いは、Nch-MOSFETとPch-MOSFETの並列接続によって構成する。

【0012】

【発明の実施の形態】以下、図面を参照し、本発明の実施形態に基づいて本発明を更に詳細に説明する。図1は前記の通り、一般的な抵抗ラダー型DACの構成を示す回路図である。本実施形態例の抵抗ラダー型DECも図1に示された構成を採用する。なお、同図は、デジタル入力が2bitのDACについて示してある。

【0013】本実施形態例のDACは、電源端子17とグランド間に相互に直列に接続される分圧抵抗抵抗R1及びR2～R4から成る抵抗ストリング18、抵抗ストリング18の各タップT1～T4から夫々出力電位を取り出すスイッチ10～13、入力端子16からデジタル入力を受けてこれをデコードしてスイッチ10～13に制御信号として与えるデコーダ15を有し、デジタル入力端子16から入力されるデジタル信号をアナログ信号に変換してアナログ出力端子14から出力する。各抵抗の抵抗値は、例えばR1=900Ω、R2=R3=R4=200Ωとしてある。

【0014】各タップT1～T4の出力電位V1～V4は、基準電位V₀として夫々

$$V_1 = V_0 \times (R_2 + R_3 + R_4) / (R_1 + R_2 + R_3 + R_4) = 0.4V$$

$$V_2 = V_0 \times (R_3 + R_4) / (R_1 + R_2 + R_3 + R_4) = 0.266V$$

$$V_3 = V_0 \times (R_4) / (R_1 + R_2 + R_3 + R_4) = 0.133V$$

$$V_4 = 0$$

である。

【0015】各スイッチ10～13は、何れもNch-MOSFETで構成しており、各スイッチ10～13の設計パラメータである、ゲート幅(W)とゲート長(L)の大きさの比(W/L)をA、B、C、Dとすると、A>B>C>Dとなるように設定してある。

【0016】具体的には、本実施形態例では、抵抗ストリング18の各タップT1～T4を対応するスイッチ側から見たインピーダンスR_{t1}～R_{t4}と、MOSFET10～13のオン抵抗との各和がすべて600Ωとなるように設定してある。ここで、各タップT1～T4をスイッチ側から見たときのインピーダンスR_{t1}～R_{t4}は、

$$R_{t1} = R_1 \times (R_2 + R_3 + R_4) / (R_1 + R_2 + R_3 + R_4) = 360\Omega$$

$$R_{t2} = (R_1 + R_2) \times (R_3 + R_4) / (R_1 + R_2 + R_3 + R_4) = 293.3\Omega$$

$$R_{t3} = (R_1 + R_2 + R_3) \times R_4 / (R_1 + R_2 + R_3 + R_4) = 173.3\Omega$$

$$3 + R_4) = 173.3\Omega$$

$$R_{t4} = 0\Omega$$

であるので、各スイッチ10～13のオン抵抗R_{t1}～R_{t4}は、R_{t1}=240Ω、R_{t2}=306.7Ω、R_{t3}=426.7Ω、R_{t4}=600Ωである。

【0017】上記各スイッチのオン抵抗R10～R13は、Nch-MOSFETのゲート幅W及びゲート長Lの比(W/L)を選択することによって得られる。例えば、スイッチ13のW/L比(D)を1とすると、スイッチ10のW/L比(A)は2.50、スイッチ11のW/L比(B)は1.96、スイッチ12のW/L比(C)は1.41である。つまり、A>B>C>Dである。

【0018】アナログ出力端14の電位は、出力電位を決定するスイッチ10～13を切り替えることにより変化するが、この変化の時定数は、各スイッチ10～13からアナログ出力端14までに接続されている配線、選択されたタップをスイッチ側から見たときのインピーダンス、スイッチのオン抵抗、及び、負荷容量によって決定される。レイアウト上からは、各スイッチ10～13からアナログ出力端14までの配線抵抗及び寄生容量は一定であるので、アナログ出力端14から出力されるアナログ信号が変化する時定数は、選択されたタップT1～T4を各スイッチ10～13側から見たインピーダンスとスイッチのオン抵抗との和によって決定される。

【0019】従来の抵抗ストリング型DACでは、出力端の電位が変化する時定数が選択されるタップ毎に異なっていたので、出力波形の変化がタップ毎に異なっていた。これがDACの出力電圧波形の歪み率の増加につな

がっていた。本実施形態例では、上記タップのインピーダンス及びスイッチのオン抵抗の和を一定にすることによって、タップ間の時定数の差をなくし、アナログ出力電圧波形の歪みを除いている。

【0020】図2(a)及び(b)は、8ビットの抵抗ストリング型DACによって、デジタル入力の正弦波形をD-A変換した際のアナログ出力の正弦波形を高速フーリエ変換(FFT)によって求めた例であり、本発明の一実施形態例のDACの出力電圧波形(点線)と従来のDACの出力電圧波形(実線)とを比較している。同図(a)は全体の正弦波形を示し、同図(b)はそのA部の拡大図を示している。(a)の全体図では、その差はっきりとは判らないが、(b)の拡大図ではその差が明らかに示されている。ここで、本発明の抵抗ストリング型DACでは、正弦波形のSN比が49dBであり、従来のDACの正弦波形のSN比45dBから改善されている。つまり、本発明のDACでは、良好なアナログ正弦波形が得られる。

【0021】図3は、本発明の別の実施形態例を図1と同様に示している。本実施形態例では、先の実施例で示した各スイッチ10～13を、Nch-MOSFET

(20) とPch-MOSFET (21)との並列接続で構成している。この場合にも、各スイッチ10～13の設計パラメータである比E、F、G、H、を、夫々E>F>G>Hとなるように設定する。(但し、先の実施形態例と同様に、R1>R2+R3+R4としてある)。このように、Pch-MOSFET (21)とNch-MOSFET (20)とを並列接続してスイッチ10～13を構成することで、スイッチの動作時のオン抵抗が、Pch-MOSFETとNch-MOSFETの並列合成抵抗となり、出力電圧をほぼ電源電圧全域にすることができる。この場合、スイッチの選択信号が、Nch-MOSFETとPch-MOSFETとで逆論理になるため、インバータ19を設けてPch-MOSFETのゲートに入力している。このような構成により、出力信号のグリッチ・エネルギーの原因のひとつであるフィードスルーの影響を緩和できる利点がある。

【0022】以上、本発明をその好適な実施形態例に基づいて詳細に説明したが、本発明は上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したものも本発明の範囲に含まれる。

【0023】

【発明の効果】以上、説明したように、本発明の抵抗ストリング型D/A変換器によると、各抵抗の取出しタップ

毎のインピダンスの差を小さくできるので、出力端に現れるアナログ出力電位の歪みが小さくなる利点がある。

【図面の簡単な説明】

【図1】 本発明の一実施形態例のD/Aを含む一般的な抵抗ストリング型D/Aの構成を示す回路図。

【図2】 (a) 及び (b) は、夫々、本発明の一実施形態例及び従来のD/Aの出力電圧波形の変化を示す波形図。

【図3】 本発明の別の実施形態例の抵抗ストリング型D/Aの回路図。

【符号の説明】

R1～R4：抵抗

T1～T4：タップ

10～13：スイッチングトランジスタ

14：アナログ出力端

15：デコーダー

16：デジタル入力端

17：電源

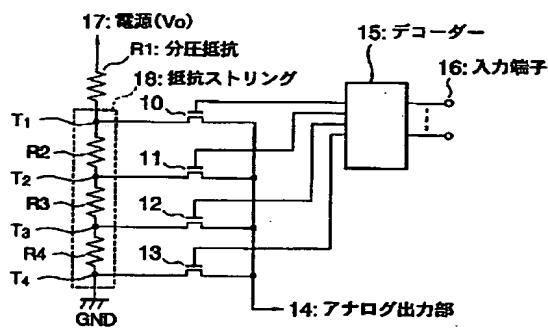
20：抵抗ストリング

19：インバータ

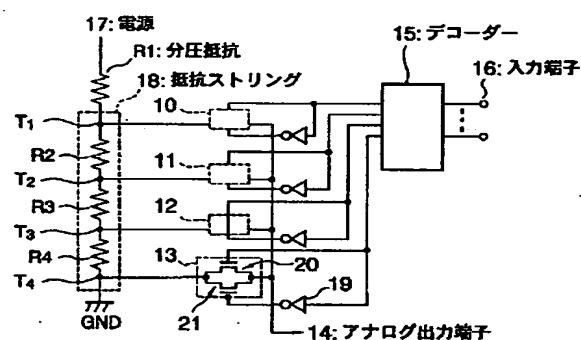
20：Nch-MOSFET

21：Pch-MOSFET

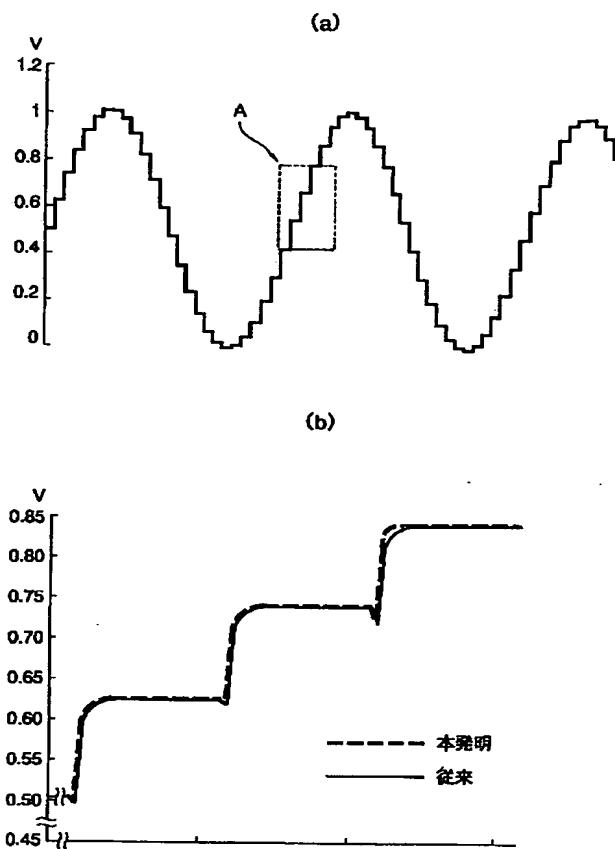
【図1】



【図3】



【図2】



【手続補正書】

【提出日】平成11年12月9日(1999.12.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】複数の抵抗を基準電源間に直列に接続してなる抵抗ストリングと、前記抵抗の各接続ノードから所定の電位を夫々取り出す複数のタップと、前記各タップに対応して配接され、前記各タップの出力電位を夫々出力端に取り出す複数のスイッチと、デジタル入力をデコードして前記デジタル入力に対応する前記スイッチを選択するデコーダーとを備える抵抗ストリング型D/A変換器において、

前記各スイッチから対応するタップのインピダンスを見たときに、前記複数のスイッチに対応するタップのインピダンスの中で相対的にインピダンスの低いタップに対応するスイッチのオン抵抗を、相対的にインピダンスの高いタップに対応するスイッチのオン抵抗より高く設定することを特徴とする抵抗ストリング型D/A型変換器。

【請求項2】前記各タップのインピダンスと、対応するスイッチのオン抵抗との和が実質的に一定であることを特徴とする請求項1に記載の抵抗ストリング型D/A変換器。

【請求項3】前記スイッチがMOSFETによって構成され、前記MOSFETのゲート幅(W)とゲート長(L)の比によって前記スイッチのオン抵抗が設定されることを特徴とする請求項1又は2に記載の抵抗ストリング型D/A変換器。